

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-102067

(43)公開日 平成5年(1993)4月23日

(51)IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1 A	7738-4M		
21/265				
29/62	G	7738-4M		
		8617-4M	H 0 1 L 21/ 265	P
		8225-4M	29/ 78	3 0 1 Y

審査請求 未請求 請求項の数3(全 5 頁) 最終頁に続く

(21)出願番号 特願平3-263836

(22)出願日 平成3年(1991)10月11日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 及川 勝夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

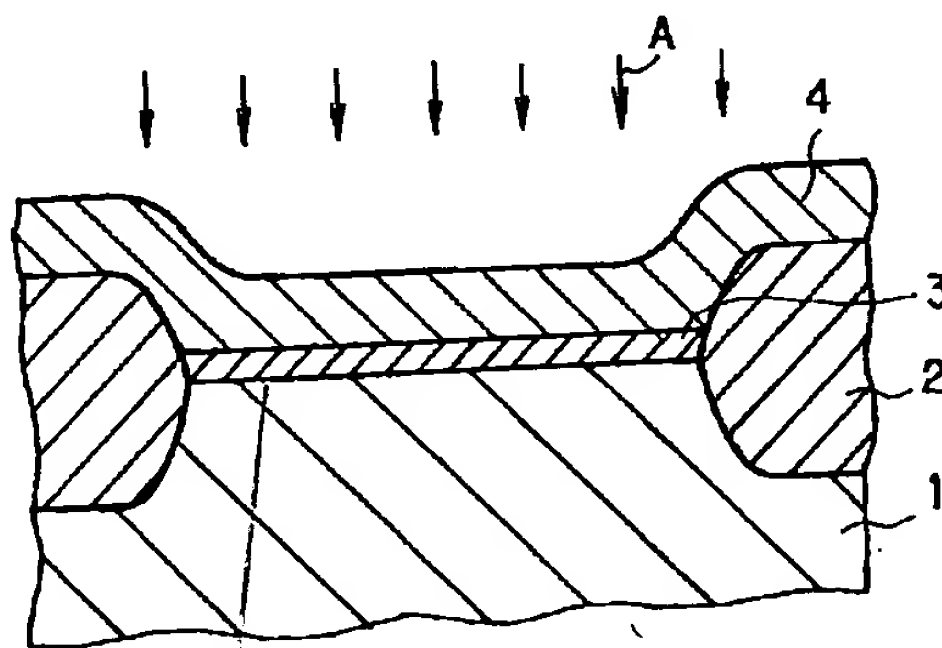
(74)代理人 弁理士 青木 朗 (外4名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 ポリシリコンゲートのMOSFETの製造方法に関し、弗化硼素 $\text{BF}_2$ のイオン注入後の活性化熱処理において、ゲート( $\text{SiO}_2$ )酸化膜中でのフッ素が硼素の拡散を促進して、FET閾値電圧 $V_{th}$ がバラツクので、それを抑制した半導体装置製造方法を提供する。

【構成】 弗化硼素イオン注入の前にゲート( $\text{SiO}_2$ )酸化膜中に塩素(Cl)を予め導入しておく。第1のやり方は、工程(ア)～(カ)：(ア)シリコン半導体基板1を熱酸化して $\text{SiO}_2$ 膜3を形成する工程、(イ)ポリシリコン電極4Aを形成する工程、(ウ)該ポリシリコン電極にイオン注入法で塩素を注入する工程、(エ)注入した塩素を $\text{SiO}_2$ 膜3中へ熱拡散する工程、(オ)弗化硼素( $\text{BF}_2$ )を該ポリシリコン電極4Aにイオン注入する工程、および(カ)イオン注入の活性化熱処理を行い、 $\text{SiO}_2$ 膜中の塩素が硼素の拡散を抑制する工程、を含んでなる。



## 【特許請求の範囲】

## 【請求項1】 下記工程(ア)～(カ)：

(ア) シリコン半導体基板(1)を熱酸化してSiO<sub>2</sub>膜(3)を形成する工程、  
 (イ) 該SiO<sub>2</sub>膜(3)の上にポリシリコン電極(4A)を形成する工程、  
 (ウ) 該ポリシリコン電極(4A)にイオン注入法によって塩素を注入する工程、  
 (エ) 注入した塩素を前記SiO<sub>2</sub>膜(3)中へ拡散する熱処理を行う工程、  
 (オ) 弗化硼素(BF<sub>3</sub>)のイオン注入で前記ポリシリコン電極(4A)に弗化硼素を注入する工程、および  
 (カ) イオン注入の活性化熱処理を行い、前記SiO<sub>2</sub>膜中の塩素が硼素の拡散を抑制する工程、  
 を含んでなる半導体装置の製造方法。

## 【請求項2】 下記工程(ア)～(カ)：

(ア) シリコン半導体基板にイオン注入法によって塩素を注入する工程、  
 (イ) 該シリコン半導体基板を熱酸化してSiO<sub>2</sub>膜を形成する工程、  
 (ウ) 該SiO<sub>2</sub>膜の上にポリシリコン電極を形成する工程、  
 (エ) 注入した塩素を前記SiO<sub>2</sub>膜中へ拡散する熱処理を行う工程、  
 (オ) 弗化硼素(BF<sub>3</sub>)のイオン注入で前記ポリシリコン電極に弗化硼素を注入する工程、および  
 (カ) イオン注入の活性化熱処理を行い、前記SiO<sub>2</sub>膜中に存在する塩素が硼素の拡散を抑制する工程、  
 を含んでなる半導体装置の製造方法。

## 【請求項3】 下記工程(ア)～(オ)：

(ア) シリコン半導体基板を熱酸化してSiO<sub>2</sub>膜を形成する工程、  
 (イ) 該SiO<sub>2</sub>膜にイオン注入法によって塩素を注入する工程、  
 (ウ) 該SiO<sub>2</sub>膜の上にポリシリコン電極を形成する工程、  
 (エ) 弗化硼素(BF<sub>3</sub>)のイオン注入で前記ポリシリコン電極に弗化硼素を注入する工程、および  
 (オ) イオン注入の活性化熱処理を行い、前記SiO<sub>2</sub>膜中の塩素が硼素の拡散を抑制する工程、  
 を含んでなる半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、IC、LSIなどの半導体装置、より詳しくは、ポリシリコンゲートのMOS電界効果型トランジスタ(FET)の製造方法に関する。

## 【0002】

【従来の技術】MOSFETは、シリコン半導体基板(ウェハー)を熱酸化して形成するSiO<sub>2</sub>のゲート酸化膜

と、その上に形成したポリシリコンないしアモルファスシリコンのゲート電極とを備えている。MOSFETを用いた半導体装置では、コンプリメンタリ型MOS(CMOS)構造を低消費電力動作の利点から採用しており、PチャンネルMOSFETを形成するためにP型領域(ソース・ドレイン領域)を硼素(B)のイオン注入で形成している。このイオン注入でゲート電極に硼素がドーパされてしまう。また、ゲート電極の導電性のためにポリシリコン(アモルファスシリコン)に硼素をイオン注入することもある。

【0003】従来は、ゲート電極が比較的厚かったので、注入された硼素がゲート電極中を突き抜けてゲート酸化膜に達することは無かった。近年の半導体装置の高集積化、微細化に伴って、ゲート電極膜厚が薄くなってきている。薄くなると、注入された硼素がゲート電極を突き抜けてゲート酸化膜に達してしまう問題があった。そこで、イオン注入する硼素イオンの質量を大きくして、即ち、BF、BF<sub>2</sub>のような弗化硼素(硼素とフッ素との化合物)をイオン注入することで、ゲート電極ポリシリコン膜中のイオン飛程距離を短くすることで、突き抜け問題を回避することができる。

## 【0004】

【発明が解決しようとする課題】弗化硼素のイオン注入では、イオン注入後の活性化熱処理において、ゲート(SiO<sub>2</sub>)酸化膜中でのフッ素が硼素の拡散を促進して、MOSFETの閾値電圧V<sub>th</sub>がFETごとに異なる(バラツキとなる)という問題が生じることが分かった。

【0005】本発明の目的は、上述した閾値バラツキを抑制した半導体装置の製造方法を提案することである。

## 【0006】

【課題を解決するための手段】基本的には弗化硼素イオン注入の前にゲート(SiO<sub>2</sub>)酸化膜中に塩素(Cl)を予め導入しておくことで硼素拡散を抑制して閾値電圧バラツキをも抑制することを本発明者は見出して本発明に到った。上述の目的が、塩素をSiO<sub>2</sub>膜に導入するやり方の異なる下記3種の製造方法で達成される。

## 【0007】第1のやり方は、工程(ア)～(カ)：

(ア) シリコン半導体基板を熱酸化してSiO<sub>2</sub>膜を形成する工程、(イ) 該SiO<sub>2</sub>膜の上にポリシリコン電極を形成する工程、(ウ) 該ポリシリコン電極にイオン注入法によって塩素を注入する工程、(エ) 注入した塩素を前記SiO<sub>2</sub>膜中へ拡散する熱処理を行う工程、(オ) 弗化硼素(BF<sub>3</sub>)のイオン注入で前記ポリシリコン電極に弗化硼素を注入する工程、および(カ) イオン注入の活性化熱処理を行い、前記SiO<sub>2</sub>膜中の塩素が硼素の拡散を抑制する工程、  
 を含んでなる半導体装置の製造方法である。

## 【0008】第2のやり方は、工程(ア)～(カ)：

(ア) シリコン半導体基板にイオン注入法によって塩素を注入する工程、(イ) 該シリコン半導体基板を熱酸化してSiO<sub>2</sub>膜を形成する工程、(ウ) 該SiO<sub>2</sub>膜の上にポリ

シリコン電極を形成する工程、(エ)注入した塩素を前記 $\text{SiO}_2$ 膜中へ拡散する熱処理を行う工程、(オ)弗化硼素( $\text{BF}_3$ )のイオン注入で前記ポリシリコン電極に弗化硼素を注入する工程、および(カ)イオン注入の活性化熱処理を行い、前記 $\text{SiO}_2$ 膜中に存在する塩素が硼素の拡散を抑制する工程、を含んでなる半導体装置の製造方法である。

【0009】そして、第3のやり方は、工程(ア)～(オ)：

(ア)シリコン半導体基板を熱酸化して $\text{SiO}_2$ 膜を形成する工程、(イ)該 $\text{SiO}_2$ 膜にイオン注入法によって塩素を注入する工程、(ウ)該 $\text{SiO}_2$ 膜の上にポリシリコン電極を形成する工程、(エ)弗化硼素( $\text{BF}_3$ )のイオン注入で前記ポリシリコン電極に弗化硼素を注入する工程、および(オ)イオン注入の活性化熱処理を行い、前記 $\text{SiO}_2$ 膜中の塩素が硼素の拡散を抑制する工程、を含んでなる半導体装置の製造方法である。

【0010】

【作用】本発明では、ゲート( $\text{SiO}_2$ )酸化膜中に塩素を導入することによって、 $\text{SiO}_2$ 膜中でのフッ素結合量を減らすことができ、フッ素の硼素拡散促進を抑制することになる。

【0011】

【実施例】以下、添付図面を参照して、本発明の実施態様例および比較例によって本発明を詳細に説明する。

#### 例1

図1～図3は、第1のやり方でのMOSFETを製造する過程を説明する半導体装置の概略断面図である。

【0012】図1に示すように、シリコン単結晶基板(ウエハー)1を選択的に熱酸化処理してフィールド酸化膜2を形成する。さらに、表出しているシリコン基板を熱酸化処理して、薄い $\text{SiO}_2$ 膜(ゲート酸化膜)3をその厚さを、例えば、16nmで形成する。酸化膜2および3の上にCVD法によって硼素ドーパのポリシリコン膜4を、例えば、厚さ330nmで形成する。このポリシリコン膜4にイオン注入法によって塩素(矢印A)を注入する。注入条件は、例えば、加速電圧が60KeVで、ドーズ量が $10^{16}$ イオン/ $\text{cm}^2$ である。そして、イオン注入後の熱処理を行って、塩素をゲート酸化膜3中へ拡散導入する。この熱処理は、例えば、 $900^\circ\text{C} \times 120$ 分である。

【0013】図2に示すように、通常のリソグラフィ技術にしたがって、ポリシリコン膜4を選択的にエッチングしてポリシリコン電極4Aにパターニングし、そのしたのゲート( $\text{SiO}_2$ )酸化膜3Aを残して、 $\text{SiO}_2$ 膜3をもエッチングする。次に、弗化硼素( $\text{BF}_3$ ) (矢印B)をイオン注入して、シリコン基板1にP型のソース領域6およびドレイン領域7を形成し、ポリシリコン電極4Aにも弗化硼素を導入する。この注入条件は、例えば、加速電圧が60KeVで、ドーズ量が $3.5 \times 10^{15}$ イオン/

$\text{cm}^2$ である。そして、イオン注入後の活性化熱処理を行う。この熱処理は、例えば、 $900^\circ\text{C} \times 15 \sim 60$ 分である。

【0014】次に、図3に示すように、全面にCVD法によって絶縁膜( $\text{SiO}_2$ 膜)8を形成する。この絶縁膜8をリソグラフィ技術により選択的にエッチングして、ソース・ドレイン領域でコンタクトホールを明ける。そして、ソース電極9およびドレイン電極10を通常の工程で形成して、MOSFETが得られる。このようにして製作されるPチャンネル型MOSFETの閾値電圧 $V_{th}$ を、弗化硼素イオン注入後の熱処理時間を変えて調べて、図4に示す結果が得られた。比較例として、塩素のイオン注入を行わないで上述した様に製作したPチャンネル型MOSFETの閾値電圧 $V_{th}$ を図4に示す。図4から分かるように、塩素イオン注入を施した本発明に係るMOSFETの閾値電圧のほうが直線状の熱処理温度と比例した関係にあり、閾値電圧は安定してバラツキが小さい。

【0015】例2

図1に関連した上述した工程において、フィールド酸化膜2を形成した後で、薄い酸化膜3を形成する前に、塩素のイオン注入を行って、シリコン基板1にドーパする。この時の注入条件は、例えば、加速電圧が60KeVで、ドーズ量が $10^{16}$ イオン/ $\text{cm}^2$ である。そして、熱酸化処理を行って薄い酸化膜( $\text{SiO}_2$ ゲート酸化膜)3を形成すれば、ゲート酸化膜中に塩素を導入したことになる。この場合に、イオン注入後の熱処理は熱酸化処理が兼ねるので、行わずに済む。そして、例1での製造工程にしたがってMOSFETを製作することとなる。

【0016】例3

図1に関連した上述した工程において、薄い酸化膜3を形成した後で、この酸化膜3に塩素をイオン注入する。この時の注入条件は、例1の場合と同じである。この場合にも、薄い酸化膜( $\text{SiO}_2$ ゲート酸化膜)3に塩素が導入されているので、イオン注入後の熱処理を行わなくてよい。そして、例1での製造工程にしたがってMOSFETを製作することとなる。

【0017】

【発明の効果】以上説明したように、本発明によれば、ゲート酸化膜中に予め塩素を導入することにより、弗化硼素( $\text{BF}_3$ )のイオン注入によって生じるゲート( $\text{SiO}_2$ )酸化膜中でのフッ素結合量が減り、硼素の増速拡散を抑制することができる。そして、MOSFETの閾値電圧のバラツキを小さくすることができる。

【図面の簡単な説明】

【図1】MOSFETの製造過程での半導体装置の概略断面図である。

【図2】MOSFETの製造過程での半導体装置の概略断面図である。

【図3】製作された半導体装置(MOSFET)の概略

(4)

5

6

断面図である。

【図4】MOSFETの閾値電圧と弗化硼素イオン注入後の熱処理の温度との関係を示すグラフである。

【符号の説明】

1…シリコン基板  
3…薄いSiO<sub>2</sub>膜  
3A…ゲート酸化膜  
4…ポリシリコン膜

4A…ポリシリコンゲート電極

6…ソース領域

7…ドレイン領域

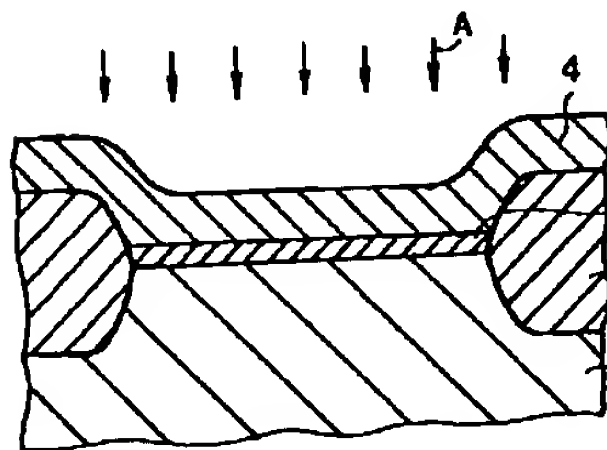
9…ソース電極

10…ドレイン電極

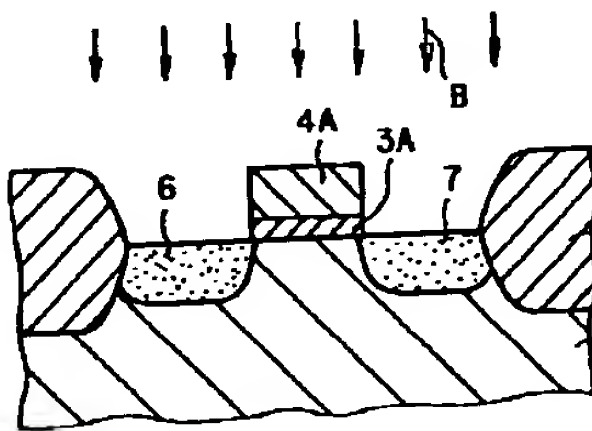
A…塩素

B…弗化硼素

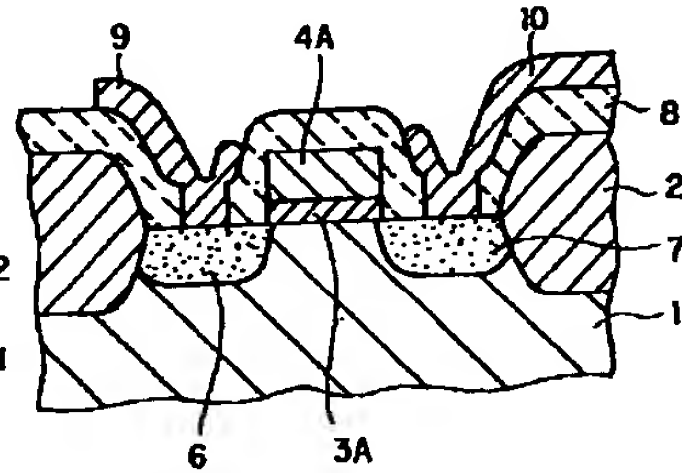
【図1】



【図2】



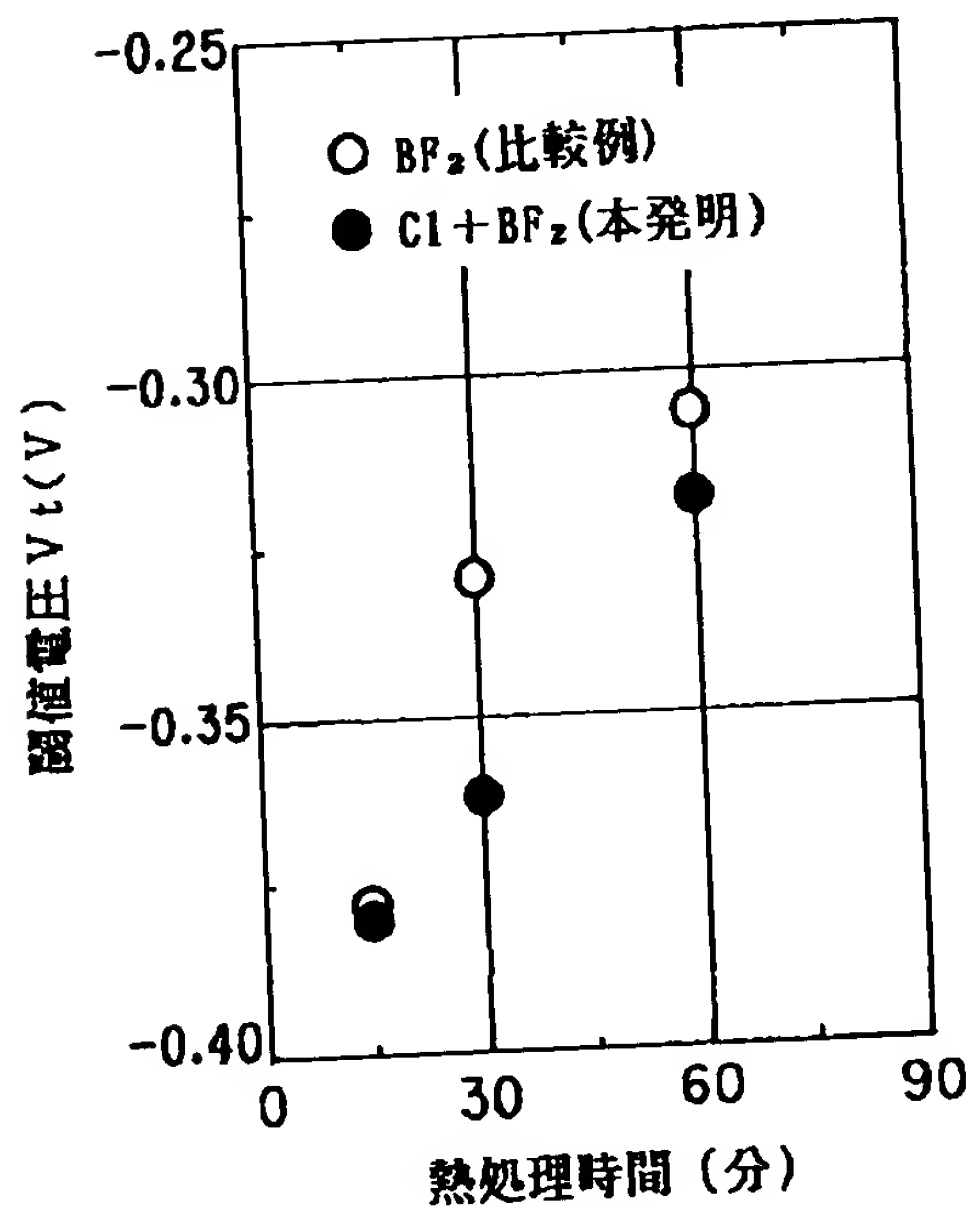
【図3】



1…シリコン基板  
3…薄いSiO<sub>2</sub>膜  
3A…ゲート酸化膜  
4…ポリシリコン膜  
4A…ポリシリコンゲート電極  
6…ソース領域  
7…ドレイン領域

9…ソース電極  
10…ドレイン電極

【図4】



フロントページの続き

(51)Int. Cl.<sup>5</sup>

H01L 21/336  
29/784

識別記号

片内整理番号

F I

技術表示箇所

[Translation]

(19) Japan Patent Office (JP)

(12) **PATENT ISSUANCE REPORT (A)**

(11) Patent Application Release No.  
Patent Release Hei. 5-102067

(43) Release date: April 23, 1993

(51) Int.Cl. <sup>5</sup>	Ident. Symbol	Office Control No.	F1	Technology Indicators
H 0 1 L 21/28	301	A	7738-4M	
21/265				
21/336				
29/82		G	7738-4M	
29/784				
		8617-4M	H 01 L 21/165	P
		8225-4M	29/ 78	301 Y

Examination requested: Not yet  
Items in Application: 3 (Total 5 pages)

(21) Application No.: Patent Application Hei.3-263838

(22) Application date: October 11, 1991

(71) Applicant: 000005223  
Fujitsu Corp., Ltd.  
1015 Kami-Odanaka, Nakahara-ku  
Kawasaki, Kanagawa Pref. [Japan]

**EVO 77334075**

(72) Inventor: Katsuo Oikawa  
c/o Fujitsu Corp.  
[ same address ]

(74) Agent: Akira Aoki, Patent attorney (and 4 others)

**Specifications**

(54) **Name of Invention:** Method of Manufacturing  
Semiconductor Device

(57) **Summary** (with revision)

**Purpose:** In relation to methods for fabricating MOSFETs with polysilicon gates by activated heat processing after ion injection of boron fluoride (BF<sub>3</sub>), to provide a semiconductor device manufacturing method that promotes the fluorine's diffusion of boron into the gate oxide film

( $\text{SiO}_2$ ), but suppressing that because the FET threshold voltage  $V_{th}$  will scatter.

**Makeup:** Prior to injecting boron fluoride ions, one introduces chlorine into a gate film ( $\text{SiO}_2$ ). The first approach includes steps (a)~(f):

- (a) A step of thermally oxidizing silicon semiconductor substrate to form silicon oxide film 3,
- (b) A step of forming polysilicon electrode 4A,
- (c) A step of ion-injecting chlorine into said polysilicon electrode,
- (d) A step of thermally diffusing the injected chlorine into silicon oxide film 3,
- (e) A step of ion-injecting boron fluoride ( $\text{BF}_3$ ) into polysilicon electrode 4A and
- (f) A step of doing activating heat treatment of the ion injection and having the chlorine in the silicon oxide film suppress diffusion of the boron.

#### Scope of Patent Application

**Application Item 1:** A method of manufacturing semiconductor devices that includes the following steps:

- (a) A step of thermally oxidizing silicon semiconductor substrate to form silicon oxide film 3,
- (b) A step of forming polysilicon electrode 4A on said  $\text{SiO}_2$  film 3,
- (c) A step of ion-injecting chlorine into said polysilicon electrode 4A,
- (d) A step of thermally diffusing the injected chlorine into above-noted  $\text{SiO}_2$  film 3,
- (e) A step of ion-injecting boron fluoride ( $\text{BF}_3$ ) into afore-noted polysilicon electrode 4A and
- (f) A step of activating heat treatment of the ion injections so that the chlorine present in above-noted  $\text{SiO}_2$  film will suppress diffusion of the boron.

**Application Item 2:** A method of fabricating semiconductor devices that includes the following steps:

- (a) A step that uses the ion-injection method to inject chlorine into said silicon semiconductor substrate,
- (b) A step that thermally oxidizes said silicon semiconductor substrate to form an  $\text{SiO}_2$  film,
- (c) A step that forms a polysilicon electrode on said  $\text{SiO}_2$  film,



- (d) A step that does thermal treatment to diffuse the injected chlorine into afore-noted  $\text{SiO}_2$ ,
- (e) A step that injects boron fluoride into the afore-noted polysilicon electrode by ion-injection of the  $\text{BF}_3$  and
- (f) A step to do activated thermal treatment of the ion injection so that the chlorine present in the afore-noted  $\text{SiO}_2$  will suppress diffusion of the boron.



**Application Item 3:** A method of fabricating semiconductor devices that includes the following steps:

- (a) A step that forms a  $\text{SiO}_2$  film by thermally oxidizing a silicon semiconductor substrate,
- (b) A step that uses ion injection to inject chlorine into said  $\text{SiO}_2$  film,
- (c) A step that forms a polysilicon electrode on said  $\text{SiO}_2$  film,
- (d) A step that ion-injects boron fluoride ( $\text{BF}_3$ ) into the afore-noted polysilicon electrode and
- (e) A step that does heat processing of the ion injection so that the chlorine in the afore-noted  $\text{SiO}_2$  film will suppress the boron's diffusion.

#### **Detailed explanation of Invention**

**0001 Field for Commercial Utilization:** This invention relates to a method for manufacturing such semiconductor devices as ICs or LSIs, and specifically bears on a method for fabricating the polysilicon gates for MOS-type field-effect transistors (FET).

**0002 Usual technology:** MOSFETs are equipped with an  $\text{SiO}_2$  gate film formed by thermal oxidizing silicon semiconductor substrates (wafers) and with a gate electrode formed thereon of polysilicon or amorphous silicon. Semiconductor devices with a MOSFET are used for their complementary MOS structure (CMOS) having the advantage of operating at low power consumption. They are made by ion-injecting boron (B) into their P-type region (source/drain region) to form a P-channel MOSFET. This ion injection dopes boron in the gate electrode. Boron also is ion-injected into the polysilicon (or amorphous silicon) to make the gate electrode conductive.

**0003** Usually, since the gate electrode was relatively thick, the injected boron never went on through the gate electrode to reach the gate oxide film. With the recent higher integration and miniaturization of semiconductor



devices, gate electrodes have become thinner, creating the problem of the injected boron going through the gate electrode and into the gate oxide film. So, ion-injected boron ions are made larger by injecting such boron/fluorine compounds as BF and BF<sub>2</sub>. That shortens the distance the ions travel in the gate electrode polysilicon film and can avoid the problem of their penetration.

**0004 Issues the Invention Seeks to Resolve:** With the ion-injection of boron fluorides, one finds that the problem arises in activated heat processing after the ion-injection that fluoride in the gate oxide film (SiO<sub>2</sub>) promotes the boron's diffusion, such that MOSFET threshold voltages differ (scatter) for each FET.

**0005** The purpose of this invention is to provide a method for manufacturing semiconductor devices in which the above-described threshold value scatter is suppressed.

**0006 Means to Resolve the Problem:** Basically, by introducing chlorine into the gate oxide film (SiO<sub>2</sub>) before ion-injection of the boron fluoride ions, this inventor found it possible to suppress the boron diffusion and the scatter of threshold voltages. The above-described purpose is achieved by the following three manufacturing methods, which vary in their approach to introducing chlorine into the SiO<sub>2</sub> film.

**0007** The 1<sup>st</sup> approach is a semiconductor fabricating method that includes steps (a)~(f):

- (a) A step of thermally oxidizing silicon semiconductor substrate to form silicon oxide film 3,
- (b) A step of forming polysilicon electrode 4A on said SiO<sub>2</sub> film 3,
- (c) A step of ion-injecting chlorine into said polysilicon electrode 4A,
- (d) A step of thermally diffusing the injected chlorine into above-noted SiO<sub>2</sub> film 3,
- (e) A step of ion-injecting boron fluoride (BF<sub>2</sub>) into afore-noted polysilicon electrode 4A and
- (f) A step of activating heat treatment of the ion injections so that the chlorine present in above-noted SiO<sub>2</sub> film will suppress diffusion of the boron.

**0008** The 2<sup>nd</sup> approach is a semiconductor fabricating method that includes steps (a)~(f):

- (a) A step that uses ion injection to inject chlorine into the said silicon semiconductor substrate,
- (b) A step that thermally oxidizes said silicon semiconductor substrate to form an  $\text{SiO}_2$  film,
- (c) A step that forms a polysilicon electrode on said  $\text{SiO}_2$  film,
- (d) A step that does thermal treatment to diffuse the injected chlorine into afore-noted  $\text{SiO}_2$ ,
- (e) A step that injects boron fluoride into the afore-noted polysilicon electrode by ion-injection of boron fluoride ( $\text{BF}_3$ ) and
- (f) A step to do activated thermal treatment of the ion injection so that the chlorine present in the afore-noted  $\text{SiO}_2$  will suppress diffusion of the boron.

0009 And, the 3<sup>rd</sup> approach is a semiconductor fabricating method that includes steps (a)~(e):

- (a) A step that forms a  $\text{SiO}_2$  film by thermally oxidizing a silicon semiconductor substrate,
- (b) A step that uses ion injection to inject chlorine into said  $\text{SiO}_2$  film,
- (c) A step that forms a polysilicon electrode on said  $\text{SiO}_2$  film,
- (d) A step that ion-injects boron fluoride ( $\text{BF}_3$ ) into the afore-noted polysilicon electrode and
- (e) A step that does heat processing of the ion injection so that the chlorine in the afore-noted  $\text{SiO}_2$  film will suppress the boron's diffusion.

**0010 Effects:** This invention can reduce the amount of fluoride coupling in the silicon oxide film and suppress the fluoride's promotion of boron diffusion by introducing chlorine into the gate oxide film ( $\text{SiO}_2$ ).

**0011 Application Examples:** Below we will explain this invention in detail, referring to the figures while describing application examples of the invention and giving comparative examples.

Application Example 1: Figures 1~3 are schematic cross-sectional diagrams of a semiconductor device that explains the process of manufacturing a MOSFET by the 1<sup>st</sup> approach.

**0012** As Figure 1 shows, one forms field oxide film 2 by selective thermal oxidation of silicon monocrystalline substrate (wafer) 1. Then one further thermally oxidizes

the exposed silicon substrate to make thin  $\text{SiO}_2$  film 3 (gate oxide film), for instance 16nm thick. One uses CVD on oxide films 2 and 3 to form boron-doped polysilicon film 4, for instance 330nm thick. One injects chlorine (arrow A) by ion injection into this polysilicon film 4. The injection conditions are, e.g., at an acceleration voltage of 60KeV and a dose of  $10^{16}$  ions/cm<sup>2</sup>. Then, after the ion injection one does a heat treatment to disperse chlorine into gate oxide film 3. This heat treatment may be at 900°C for 120 minutes, for example.

0013 As shown in Figure 2, one uses ordinary lithography to selectively etch polysilicon film 4, patterning it as polysilicon electrode 4A, leaving gate oxide ( $\text{SiO}_2$ ) film 3A under it and etching  $\text{SiO}_2$  film 3. Next one ion-injects boron fluoride ( $\text{BF}_3$ ) (arrow B) to form P-type source region 6 and drain region 7 on silicon substrate 1, and also introduces boron fluoride into polysilicon electrode 4A. The injecting conditions, for instance, would be an acceleration voltage of 60KeV and a dose of  $3.5 \times 10^{15}$  ion/cm<sup>2</sup>. After the ion injection one does activating thermal treatment, for instance at 900°C for 15-60 minutes.

0014 Next, as shown in Figure 3, one forms insulating film 8 ( $\text{SiO}_2$  film) over the whole surface by CVD. One selectively etches this insulating film 8 by lithographic techniques to open a contact hole in the source and drain regions. Then by the usual process one forms source electrode 9 and drain electrode 10 to get the MOSFET. Checking the threshold voltage  $V_{th}$  of the P-channel type MOSFET fabricated by changing the heat treatment time after the boron fluoride ion-injection, I got the results shown in Figure 4. For comparison, I skipped the chlorine injection on a P-channel type MOSFET fabricated as described above and obtained the threshold voltages  $V_{th}$  shown in Figure 4. As can be seen in Figure 4, a straight-line proportional relationship exists with the thermal treatment temperature of the threshold voltage of the MOSFET from this invention; and that voltage is stable, with little scatter.

0015 Example 2: In the above-described processes related to Figure 1, I did ion injection of chlorine before forming field oxide film 2 and before forming thin oxide film 3 to dope silicon substrate 1. The injection conditions at that time are, e.g., an accelerating voltage of 60KeV and dose of  $10^{16}$  ions/cm<sup>2</sup>. And, if a thermal-oxidizing treatment is done to form thin oxide film 3 ( $\text{SiO}_2$  gate oxide film), the

chlorine be introduced into the gate oxide film. So, the heat treatment after the ion injection is concurrently a thermal oxidizing treatment and need not be carried out. And, in accordance with the manufacturing steps, the MOSFET will be fabricated.

**0016 Example 3:** In the processes described in connection with Figure 1, I ion-injected chlorine into oxide film 3 after forming this thin film. The injection conditions at this time are the same as in Example 1. In this case, too, I introduced chlorine into the thin oxide film ( $\text{SiO}_2$ , gate film) 3, so that a heat treatment after the ion injection is not needed. That means the MOSFET will be fabricated according to the manufacturing processes of Example 1.

**0017 Effectiveness of Invention:** As explained above, with this invention one can reduce the fluorine linkages in the gate oxide ( $\text{SiO}_2$ ) film created by ion injection of boron fluoride ( $\text{BF}_3$ ,  $\text{BF}_2$ ) by introducing chlorine in advance into the gate oxide film, thus suppressing the boron diffusion and reducing the scatter of the MOSFET's threshold voltage.

#### **Simple Explanation of Figures**

**Figure 1** is a schematic cross-sectional diagram of the semiconductor device from a MOSFET's fabricating processes.

**Figure 2** is a schematic cross-sectional diagram of the semiconductor device from a MOSFET's fabricating processes.

**Figure 3** is a schematic cross-sectional diagram of the semiconductor device (MOSFET) fabricated.

**Figure 4** is a graph showing the relationship between MOSFET threshold voltage and the heat treatment temperature after ion injection of boron fluoride.

#### **Explanation of Keying Symbols**

- 1 ... Silicon substrate
- 2 ... Field oxide film
- 3 ... Thin  $\text{SiO}_2$  film
- 3A ... Gate oxide film
- 4 ... Polysilicon film
- 4A ... Polysilicon gate electrode
- 6 ... Source region
- 7 ... Drain region

9 ... Source electrode  
10 ... Drain electrode  
A ... Chlorine  
B ... Boron fluoride

[Text under Figs, 1-3 merely repeats the above symbol list. Vertical scale of Fig. 4 is the threshold voltage, and horizontal scale is heat-processing time in minutes. The text on page 5 is a continuation of the first-page header and has been incorporated into that header. -- Translator]